

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-351398

(P2001-351398A)

(43) 公開日 平成13年12月21日 (2001. 12. 21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 1 1 C 29/00	6 5 9	G 1 1 C 29/00	6 5 9 2 G 0 3 2
	6 3 1		6 3 1 B 5 B 0 1 8
G 0 1 R 31/28		G 0 6 F 12/16	3 2 0 F 5 L 1 0 6
G 0 6 F 12/16	3 2 0		3 3 0 A
	3 3 0	G 0 1 R 31/28	B
		審査請求 有	請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願2000-175688(P2000-175688)

(22) 出願日 平成12年6月12日 (2000. 6. 12)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 三尾 裕一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

Fターム(参考) 2G032 AA07 AE08 AE10 AG04 AL14

5B018 GA03 HA14 QA13 QA14 RA01

5L106 BB12 DD11 DD32 FF05 GG03

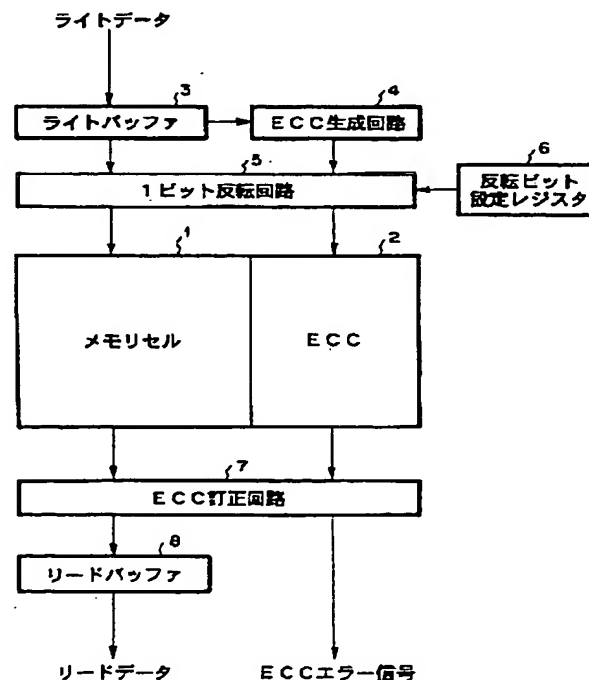
GG05

(54) 【発明の名称】 記憶装置

(57) 【要約】

【課題】 従来はECCエラー訂正を行わないテストモードを使用しており、ユーザーが使用するバスでリードスピード試験ができない。

【解決手段】 ライトデータ及びライトデータから生成される誤り訂正符号のうち所定の1ビットを反転させる1ビット反転回路5と、1ビット反転回路5に反転させるビットを設定する反転ビット設定レジスタ6とを含み、リードスピード試験時に1ビット反転回路5によってライトデータ及び誤り訂正符号のうち所定の1ビットを反転させてエラービットを含むデータをメモリセル1にライトすることにより、リード時においてエラー訂正回路7によってデータのエラー訂正を行うように試験条件を設定する。



1

【特許請求の範囲】

【請求項1】 ライトデータから誤り訂正符号を生成する誤り訂正符号生成回路及びリード時にメモリセルのライトデータのエラー訂正を行うエラー訂正回路を備えた記憶装置において、ライトデータ及び誤り訂正符号のうち所定の1ビットを反転させるビット反転回路と、前記ビット反転回路に反転させるビットを設定する設定回路とを含み、リードスピード試験時に前記設定回路に反転させるビットを設定し、前記ビット反転回路によってライトデータ及び誤り訂正符号のうち前記設定回路によって設定された1ビットを反転させてエラービットを含むデータをメモリセルにライトすることにより、リード時において前記エラー訂正回路によってデータのエラー訂正を行うように試験条件を設定することを特徴とする記憶装置。

【請求項2】 前記ビット反転回路は、リードスピード試験時以外はデータの反転を行わないことを特徴とする請求項1に記載の記憶装置。

【請求項3】 前記ビット反転回路は、前記設定回路からのデータをデコードするデコーダと、各ライトデータ及び誤り訂正符号に対応して設けられ、前記デコーダの出力とライトデータ及び誤り訂正符号とのエクスクルージブオアをとるエクスクルージブOR回路とから成ることを特徴とする請求項1に記載の記憶装置。

【請求項4】 前記設定回路は、反転ビットを指定するためのレジスタから成ることを特徴とする請求項1に記載の記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、エラー訂正機能を備えた記憶装置に関し、特に、リードスピード試験を実際のユーザーの使用条件と同等の条件で行うことを可能とした記憶装置に関するものである。

【0002】

【従来の技術】図3は従来例のECC(Error Correcting Code)によるエラー訂正機能を備えた記憶装置の概略構成を示すブロック図である。図3において、3はライトデータを設定するライトバッファ、4はライトデータから誤り訂正符号を生成するECC生成回路である。ライトデータはライトバッファ3に設定され、ライトバッファ3を介してメモリセル1にライトされる。また、ライトデータはライトバッファ3からECC生成回路4に供給され、ECC生成回路4において誤り訂正符号が生成され、ECC2にライトされる。ECC2は誤り訂正符号をライトするためのメモリセルである。

【0003】一方、メモリセル1のデータをリードする時は、メモリセル1のデータとECC2からのデータ

(誤り訂正符号)がECC訂正回路7に供給され、ECC訂正回路7においてそれらのデータに基づいてエラー訂正を行い、リードバッファ8に格納される。また、E

2

CC訂正回路7からエラー訂正を行ったどうかを示すECCエラー信号が出力される。

【0004】

【発明が解決しようとする課題】しかしながら、従来の記憶装置では、ECCを含むすべてのメモリセルのリードスピード試験を行うには、ECCエラー訂正を行わないテストモード等で試験を行っているので、ユーザーが実際に使用するリードモードのパスとは異なっており、実際の使用条件でリードスピード試験をすることができなかった。また、リードモードで試験を行う時には、メモリセルのリードスピード特性に欠陥があっても、ECCによって1ビットのエラーは訂正されてパスしてしまうことがあり、正確にメモリセルの各ビットのリードスピード試験を行うことができなかった。

【0005】本発明は、上記従来の問題点に鑑みなされたもので、その目的は、リードスピード試験時にECCによるエラー訂正が必ず行われる状態とすることにより、ECCを含むすべてのメモリセルのリードスピード試験を正確に行うことが可能な記憶装置を提供することにある。

【0006】

【課題を解決するための手段】本発明は、上記目的を達成するため、ライトデータから誤り訂正符号を生成する誤り訂正符号生成回路及びリード時にメモリセルのライトデータのエラー訂正を行うエラー訂正回路を備えた記憶装置において、ライトデータ及び誤り訂正符号のうち所定の1ビットを反転させるビット反転回路と、前記ビット反転回路に反転させるビットを設定する設定回路とを含み、リードスピード試験時に前記設定回路に反転させるビットを設定し、前記ビット反転回路によってライトデータ及び誤り訂正符号のうち前記設定回路によって設定された1ビットを反転させてエラービットを含むデータをメモリセルにライトすることにより、リード時において前記エラー訂正回路によってデータのエラー訂正を行うように試験条件を設定することを特徴としている。

【0007】本発明においては、メモリセルのデータをリードするリードスピード試験を行う場合、ライトデータ及び誤り訂正符号のうち任意の1ビットを反転させてメモリセルにライトし、エラー訂正回路によって必ずエラー訂正を行うように試験条件を設定することにより、ユーザーが実際にリードする時のパスでECCを含むすべてのメモリセルのリードスピード試験を行うことができ、また、リードスピード試験時においてメモリセルに欠陥ビットがあっても、エラー訂正によってパスしてしまうことがなく、すべてのメモリセルに対して正確にリードスピード試験を行うことができる。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の記憶

3

装置の一実施形態の構成を示すブロック図である。なお、図1では図3の従来装置と同一部分は同一符号を付して説明を省略する。即ち、メモリセル1、ECC2、ライトバッファ3、ECC生成回路4、ECC訂正回路7、リードバッファ8はいずれも図3のものと同一である。また、本実施形態では、ライトバッファ3とメモリセル1との間及びECC生成回路4とECC2の間に1ビット反転回路5が設けられている。

【0009】1ビット反転回路5は製品出荷時等にリードスピード試験を行う場合に用いられ、1ビット反転回路5はライトバッファ3に設定されたライトデータ及びECC生成回路4で生成された誤り訂正符号のうち、任意の1ビットを反転させて、リードスピード試験時にECCによるエラー訂正が必ず行われる状態とするものである。反転ビット設定レジスタ6は、この1ビット反転回路5を制御するための回路である。

【0010】図2は1ビット反転回路5の具体例を示す回路図である。1ビット反転回路5は反転ビット設定レジスタ6からのデータをデコードするデコーダ510、ライトバッファ3の各出力に対応して設けられたエクスクルージブOR回路521～528、ECC生成回路4の各出力に対応して設けられたエクスクルージブOR回路531～534から構成されている。本実施形態では、例えば、ライトバッファ3の出力は8ビット、ECC生成回路4の出力は4ビットとし、合計で12個のエクスクルージブOR回路が設けられている。

【0011】デコーダ510は入力4ビット／出力12ビットのデコーダから成っていて、反転ビット設定レジスタ6からの4ビットのデータをデコードし、12ビットのデータをエクスクルージブOR回路521～528及びエクスクルージブOR回路531～534に出力する。従って、エクスクルージブOR回路521～528においてそれぞれデコーダ510からのデータとライトバッファ3からのデータとのエクスクルージブオアをとって出力データをメモリセル1へ出力する。また、エクスクルージブOR回路531～534においてそれぞれデコーダ510からのデータとECC生成回路4からのデータとのエクスクルージブオアをとって出力データをECC2へ出力する。

【0012】次に、本実施形態の具体的な動作について説明する、まず、製品出荷時等にリードスピード試験を行う場合、ライトバッファ3に所定のデータを設定し、反転ビット設定レジスタ6に反転させるビットを設定する。例えば、ライトバッファ3に8ビットのライトデータ“00010001”、反転ビット設定レジスタ6に“7”を設定すると、ECC生成回路4では4ビットのECC“0110”が生成される。ここでは、例えば、反転ビット設定レジスタ6に“7”を設定することによってデータの下位ビットから7ビット目を反転させている。

【0013】この結果、反転ビット設定レジスタ6の出

4

力“7”が、入力4ビット／出力12ビットのデコーダ510で“000001000000”のデータにデコードされ、そのうちの上位8ビットはライトバッファ3の出力に対応するエクスクルージブOR回路521～528に、下位4ビットはECC生成回路4の出力に対応するエクスクルージブOR回路531～534にそれぞれ供給される。7ビット目の“1”はエクスクルージブOR回路523に供給される。

【0014】エクスクルージブOR回路521～528においてはデコーダ510からの上位8ビットのデータとライトバッファ3からの8ビットのデータ“00010001”とのエクスクルージブオアがとられ、エクスクルージブOR回路531～534においてはデコーダ510からの下位4ビットのデータとECC生成回路4からのデータ“0110”とのエクスクルージブオアがとられる。その結果、1ビット反転回路5からデータ“00010101”及び“0110”が出力され、データ“00010101”がメモリセル1に、データ“0110”がECC2にそれぞれライトされる。このようにしてライトバッファ3のライトデータ及びECC生成回路4の誤り訂正符号のうち、任意の1ビットを反転させて1ビットエラーが発生した状態でデータをメモリセル1及びECC2にライトする。

【0015】次に、このデータをリードする場合、所定のリードスピード（規格で決められた周波数や時間）でメモリセル1及びECC2のデータがリードされる。この場合は、メモリセル1から1ビットエラーのあるデータ“00010101”、ECC2からデータ“0110”がリードされ、ECC訂正回路7に供給される。ECC訂正回路7ではそれらのデータに基づいてエラー訂正を行い、エラー訂正が正しく行われたことを示すECCエラー信号“1”が出力され、リードバッファ8に正しいデータ“00010001”が格納される。

【0016】ここで、リードバッファ8に格納されたリードデータが正しく、ECCエラー信号が“1”であれば、メモリセル1及びECC2の合計12ビットのデータを正しくリードできたことになる。一方、記憶装置のメモリセルの中には、試験を行うスピードでリードできない欠陥ビットが存在することがある。この場合、1ビット反転回路5によって反転させたビット以外に欠陥ビットがあるものとし、例えば、ECC2の出力データが“0100”の場合、リードバッファ8に正しいデータが格納されずにリードエラーとなる。

【0017】また、1ビット反転回路5によって反転させたビットと欠陥ビットが同じであるものとし、ビットを正しくリードできずにメモリセル1の出力データが“00010001”の場合、リードバッファ8には正しいデータが格納されるが、ECC訂正回路7からのECCエラー信号は“0”となるので、エラー訂正は正しく行われなかったことを示し、反転されたビットを正しくリードできなかったことを検出することができる。

50

5

【0018】このように本実施形態では、リードスピード試験を行う場合、ライトデータ及び誤り訂正符号のうち、任意の1ビットを反転させてデータをメモリセルにライトし、エラー訂正回路によって必ずエラー訂正を行なう状態に試験条件を設定しているので、ユーザーが実際にデータをリードする時のパスでECCを含むすべてのメモリセルのリードスピード試験を行うことができる。また、メモリセルに欠陥ビットがあっても、ECCによって1ビットのエラーが訂正されてパスしてしまうことがないため、すべてのメモリセルについて正確にリードスピード試験を行うことができる。

【0019】なお、以上の実施形態では、反転ビット設定レジスタ6に“7”を設定してライトデータ及び誤り訂正符号のうち下位ビットから7ビット目を反転させると説明したが、ライトバッファ3のライトデータ及びECC2のデータのうちのどのビットを反転させてもよい。また、以上の実施形態では、1ビット反転回路5をデコーダやエクスクルージブOR回路で構成したが、これ以外にも様々な形態があることは言うまでもない。更に、1ビット反転回路5、反転ビット設定レジスタ6はリードスピード試験時のみ用いられ、製品出荷後のユーザー使用時には動作せず、データの反転は行わない。

【0020】

【発明の効果】以上説明したように本発明によれば、リードスピード試験を行う場合、ライトデータ及び誤り訂正符号のうち任意の1ビットを反転させてメモリセルにライトし、エラー訂正回路によって必ずエラー訂正を行

6

*うように試験条件を設定しているので、ユーザーが実際にデータをリードする時のパスでECCを含むすべてのメモリセルのリードスピード試験を行うことができる。

また、リードスピード試験時においてメモリに欠陥ビットがあっても、エラー訂正によってパスしてしまうことがなく、すべてのメモリセルに対して正確にリードスピード試験を行うことができる。

【図面の簡単な説明】

【図1】本発明の記憶装置の一実施形態の構成を示すブロック図である。

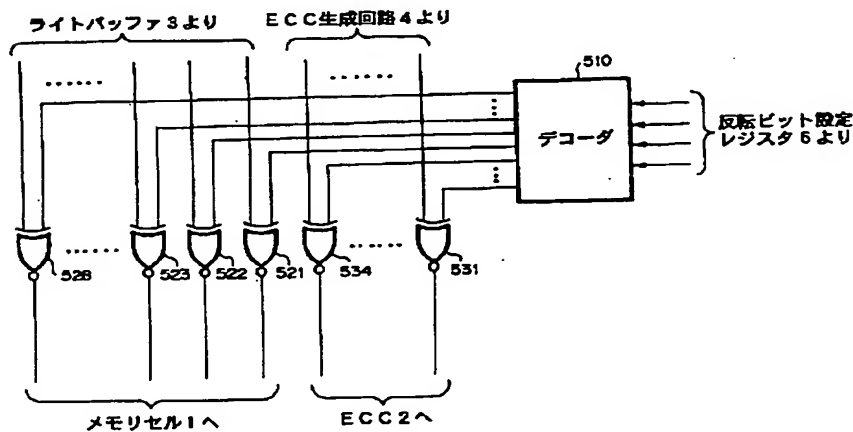
【図2】図1の記憶装置の1ビット反転回路の具体例を示す回路図である。

【図3】従来例の記憶装置の構成を示すブロック図である。

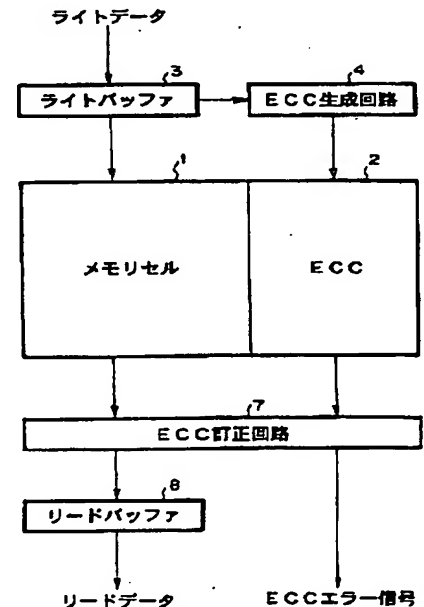
【符号の説明】

- 1 メモリセル
- 2 ECC
- 3 ライトバッファ
- 4 ECC生成回路
- 5 1ビット反転回路
- 6 反転ビット設定レジスタ
- 7 ECC訂正回路
- 8 リードバッファ
- 510 デコーダ
- 521～528 エクスクルージブOR回路
- 531～534 エクスクルージブOR回路

【図2】



【図3】



【図1】

